

Zadatak 1:

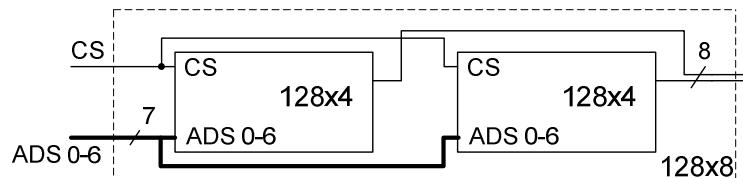
Prikazati organizaciju memorije 128x8 koristeći memorijske čipove 128x4.

Rješenje:

Memorija 128x8 ima 128 lokacija, pri čemu je svaka lokacija (memorijska riječ) dužine 8 bitova. Memorija 128x4 takođe ima 128 lokacija, ali je svaka lokacija dužine 4 bita. To znači da memorija koju treba konstruisati ima isti broj lokacija kao i memorijski čipovi od kojih se sastoji, a dužina svake memorijske riječi treba da bude dvostruko veća od dužine memorijske riječi u čipovima. Na osnovu ovoga se može zaključiti da se svaka memorijska riječ memorije 128x8 može organizovati tako da se njena polovina nalazi u jednom memorijskom čipu a druga polovina u drugom memorijskom čipu. Znači da će ulazne linije memorijskih čipova biti postavljene zajedno, kako bi činile osmobilnitu magistralu. Isto važi i za izlazne linije. Ako jedan od ova dva čipa radi mora raditi i drugi, a ako jedan ne radi ne smije raditi ni drugi (ne smije se desiti da se radi sa pola osmobilnog podatka). Zato su CS priključci oba čipa direktno povezani i zajedno čine CS priključak memorije 128x8.

Takođe, ako je adresirana lokacija N jednog memorijskog čipa mora biti adresirana **ista** lokacija drugog memorijskog čipa, kako bi podaci bili konzistentni. Dakle, i adresne linije jednog čipa treba direktno povezati sa adresnim linijama drugog čipa i proglašiti ih adresnim linijama projektovane memorije.

Ranije rečeno se može šematski prikazati kao na slici 1.



Slika 1

Zadatak 2:

Prikazati organizaciju memorije 1K x 8 koristeći četiri memorijска čipa 128 x 8 i jedan 512 x 8. U realizaciji iskoristiti:

- a) potrebna logička kola;
 - b) dekoder 2/4 i potrebna logička kola;
 - c) dekoder 2/4 i potreban broj NILI kola;
 - d) dekoder 2/4 i potreban broj NI kola;
 - e) dekoder 3/8 i potrebna logička kola.

Rješenje:

a) Kao i u ranijim primjerima, uzećemo da manji čipovi pokrivaju niže memorijske lokacije. To znači da će opseg od 0 do 511 biti realizovan pomoću čipova 128×8 , a opseg od 512 do 1023 pomoću čipa 512×8 . Na adresne priključke memorijskih čipova 128×8 treba dovesti adresne linije A_0 do A_6 , a na adresne priključke čipa 512×8 treba dovesti adresne linije A_0 do A_8 . Na taj način se formira pomoćna tabela 9.5a.

Tabela 9.5a

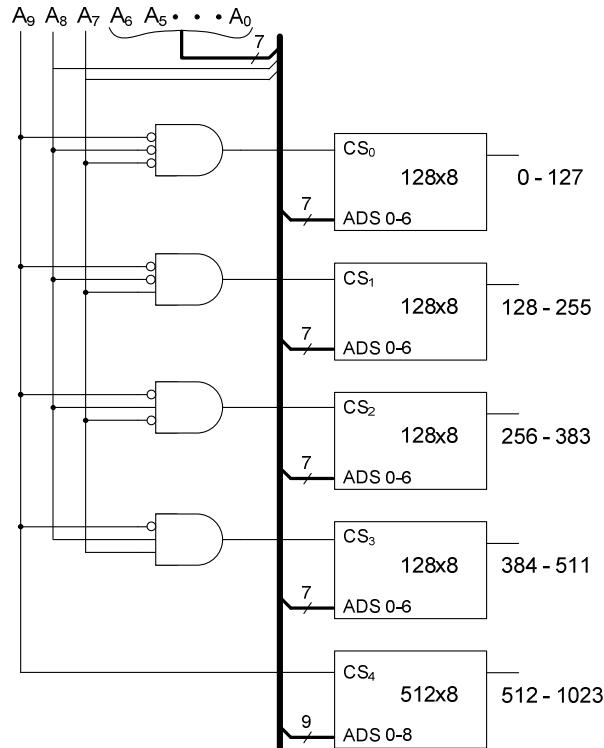
Kod prvog čipa (opseg 0–127) vrijednosti adresnih linija koje treba na njega da utiču, preko CS priključka su $A_9=0$, $A_8=0$ i $A_7=0$ što znači da je $CS_0=\bar{A}_9\bar{A}_8\bar{A}_7$.

Kod drugog čipa (opseg 128–255) njihove vrijednosti su $A_9=0$, $A_8=0$ i $A_7=1$ što znači da je $CS_1=\bar{A}_9\bar{A}_8A_7$.

Kod trećeg čipa (opseg 256–383) vrijednosti ovih adresnih linija su $A_9=0$, $A_8=1$ i $A_7=0$ što znači da je $CS_2=\bar{A}_9A_8\bar{A}_7$. Kod četvrtog čipa (opseg 384–511) vrijednosti ovih adresnih linija su $A_9=0$, $A_8=1$ i $A_7=1$ što znači da je $CS_3=\bar{A}_9A_8A_7$.

Peti čip (opseg 512–1023) se uključuje/isključuje na osnovu vrijednosti adresne linije A_9 . Ako je $A_9=0$ čip ne treba da radi tj. na njegov CS priključak se dovodi logička nula. Ako je $A_9=1$ čip treba da radi tj. na njegov CS priključak se dovodi logička jedinica. Iz ovoga slijedi da je $CS_4=A_9$.

Odgovarajuća šema prikazana je na slici 9.5a.



Slika 9.5a

b) Ukoliko se umjesto gornjih logičkih kola koristi dekoder 2/4 prvo treba izabrati adresne linije koje će se dovesti na selekcione priključke dekodera. Pošto memorija koju treba realizovati ima deset adresnih linija, a memorijski čipovi 128x8 imaju sedam adresnih priključaka, očigledno je da postoje tri adresne linije koje su kandidati za dovođenje na selekcione ulaze dekodera A_9 , A_8 i A_7 .

Pošto dekoder 2/4 ima dva selepciona priključka, postoji više mogućih rješenja. Na selepcione priključke se, generalno, mogu dovesti bilo koje dvije od gornje tri adresne linije. Međutim, u opštem slučaju, najjednostavnije je da se na selepcione ulaze dekodera dovedu adresne linije više težine. Pri tome, do rješenja se najlakše dolazi ako se poštije i redoslijed povezivanja tj. adresne linije više težine se dovedu na selepcione priključke više težine. To bi značilo da se na selepcione priključke dekodera dovode linije A_9 i A_8 i to na selepcione ulaze S_1 i S_0 respektivno. Pomoćna tabela (9.5b) bi sada izgledala ovako:

Tabela 9.5b

A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀	opseg
0	0	0	0	0	0	0	0	0	0	0–127
0	0	0	1	1	1	1	1	1	1	128–255
0	1	0	0	0	0	0	0	0	0	256–383
0	1	0	1	1	1	1	1	1	1	384–511
1	0	0	0	0	0	0	0	0	0	512–1023
1	1	1	1	1	1	1	1	1	1	

Kod prvog čipa (opseg 0–127) vrijednosti adresnih linija dovedenih na selekcione ulaze dekodera su $A_9=0$ i $A_8=0$ što odgovara izlazu dekodera D_0 . Međutim, ista kombinacija je i kod drugog čipa (opseg 128–255). Razlika između njih je u vrijednosti adresne linije A_7 koja je kod prvog čipa jednaka nuli, a kod drugog čipa je jednaka jedinici.

Znači, prvi čip treba da radi kad je aktivan izlaz dekodera D_0 i kada je $A_7=0$ što znači da je $CS_0=D_0\bar{A}_7$. Drugi čip treba da radi kad je aktivan izlaz dekodera D_0 i kada je $A_7=1$ što znači da je $CS_1=D_0A_7$.

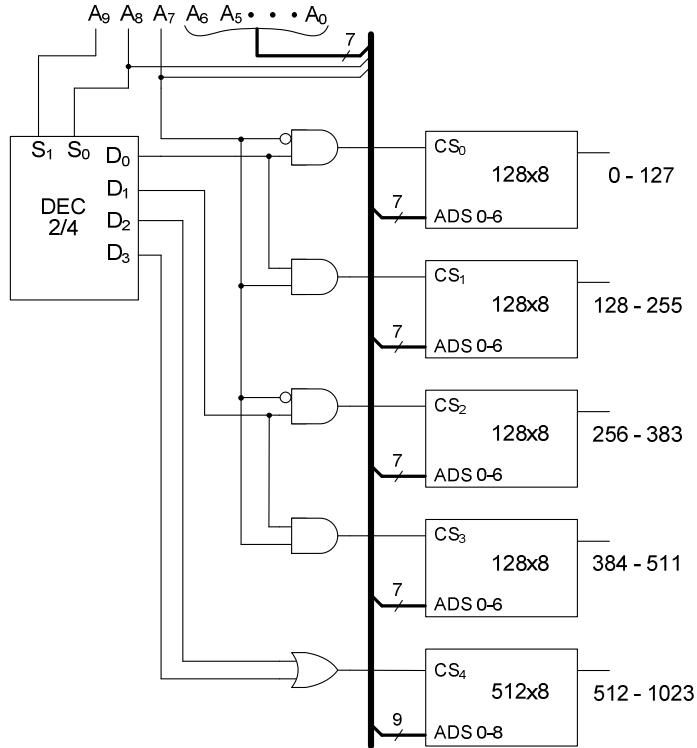
Kod trećeg čipa (opseg 256–383) vrijednosti adresnih linija dovedenih na selekcione ulaze dekodera su $A_9=0$ i $A_8=1$ što odgovara izlazu dekodera D_1 . Međutim, ista kombinacija je i kod četvrtog čipa (opseg 384–511). Razlika između njih je takođe u vrijednosti adresne linije A_7 koja je kod trećeg čipa jednaka nuli, a kod četvrtog čipa je jednaka jedinici.

Znači, treći čip treba da radi kad je aktivan izlaz dekodera D_1 i kada je $A_7=0$ što znači da je $CS_2=D_1\bar{A}_7$.

Četvrti čip treba da radi kad je aktivan izlaz dekodera D_1 i kada je $A_7=1$ što znači da je $CS_3=D_1A_7$.

Peti čip (opseg 512–1023) treba da radi kad je $A_9=1$ bez obzira na vrijednost adresne linije koja je dovedena na drugi selekcioni priključak dekodera (A_8). Znači da treba da radi kad je $A_9A_8(S_1S_0)$ jednak 10₍₂₎ ili 11₍₂₎ što odgovara izlazima dekodera D_2 odnosno D_3 . Iz ovoga slijedi da je $CS_4=D_2+D_3$.

Odgovarajuća šema prikazana je na slici 9.5b.



Slika 9.5b

Drugo moguće rješenje je da se na selekciione priključke dekodera dovedu linije A_8 i A_7 . Naravno, viša adresna linija (A_8) se dovodi na viši selektioni ulaz (S_1), a niža adresna linija (A_7) na niži selektioni ulaz (S_0).

Na taj način se formira pomoćna tabela 9.5b2 (ispredikidane linije u tabeli uokviruju adrese dovedene na adresne priključke dekodera).

Tabela 9.5b2

A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	opseg
0	0	0	0	0	0	0	0	0	0	0-127
0	0	0	1	1	1	1	1	1	1	128-255
0	0	1	0	0	0	0	0	0	0	256-383
0	1	0	1	1	1	1	1	1	1	384-511
1	0	0	0	0	0	0	0	0	0	512-1023
1	1	1	1	1	1	1	1	1	1	

Kod prvog čipa (opseg 0-127) vrijednosti adresnih linija dovedenih na selekciione ulaze dekodera su $A_8=0$ i $A_7=0$ što odgovara izlazu dekodera D_0 . Međutim, to nije dovoljno da bi se identifikovao ovaj čip (npr. i kod petog čipa (opseg 512-1023) ove dvije adresne linije mogu imati iste vrijednosti). Mora se uzeti u obzir i adresna linija A_9 koja je kod ovog čipa na logičkoj nuli. Dakle, na CS priključak prvog čipa treba dovesti $CS_0=D_0\bar{A}_9$.

Na sličan način se dobijaju sljedeći izrazi:

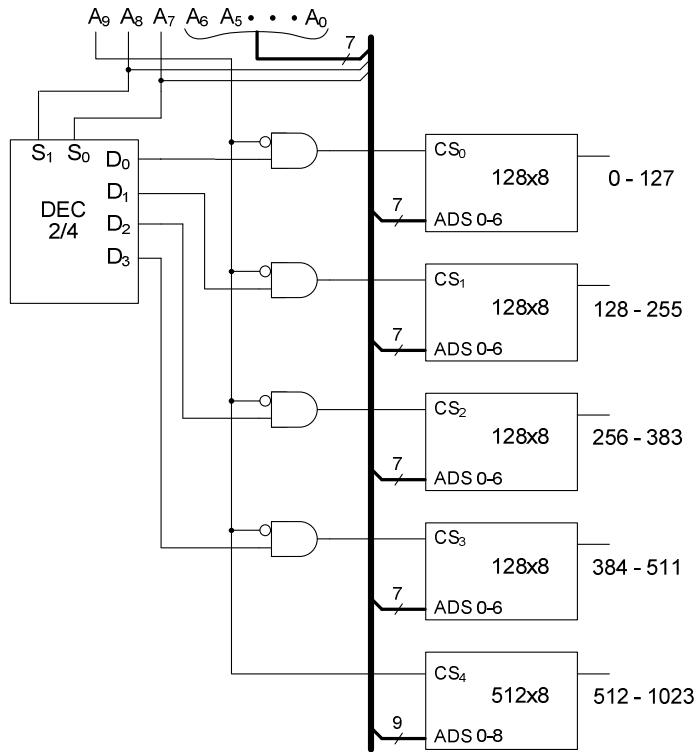
$$CS_1=D_1\bar{A}_9$$

$$CS_2=D_2\bar{A}_9$$

$$CS_3=D_3\bar{A}_9$$

Posljednji čip (opseg 512–1023) treba da radi kad je $A_9=1$ bez obzira na vrijednosti na ostalim adresnim linijama. To znači da je $CS_4=A_9$.

Odgovarajuća šema prikazana je na slici 9.5b2.



Slika 9.5b2

Napomena: Ovo rješenje bi se moglo jednostavnije implementirati ako bi se koristio dekoder sa *enable* priključkom. U tom slučaju bi se adresna linija A_9 preko invertora dovela na *enable* priključak dekodera 2/4 a njegovi izlazi D_0 do D_3 direktno doveli na CS_0 do CS_3 , respektivno. Dekoder 2/4 bez *enable* priključka zajedno sa ostalim logičkim kolima sa gornje slike zapravo predstavlja dekoder 2/4 sa *enable* priključkom.

c) Razlika između ove i prethodne realizacije je u tome što sada nemamo na raspolaganju sva logička kola, već se mogu koristiti samo NILI kola. To praktično znači da je izraze za CS priključke memorijskih čipova potrebitno transformisati u oblik pogodan za realizaciju pomoći NILI kola. Pošto su ovi izrazi u obliku logičkih proizvoda, potrebno ih je dva puta komplementirati i primijeniti De Morganovu teoremu:

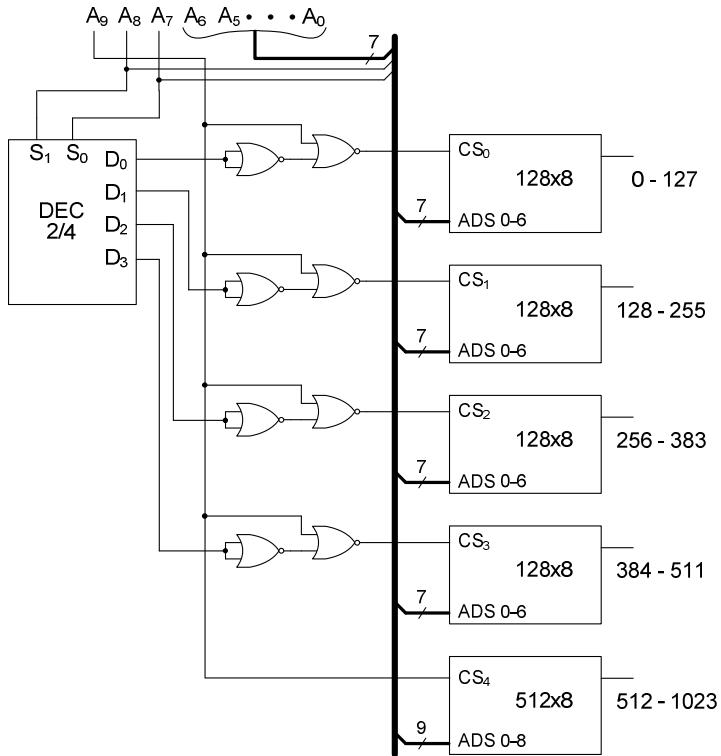
$$CS_0 = D_0 \bar{A}_9 = \overline{\overline{D}_0 \bar{A}_9} = \overline{\overline{D}_0 + A_9}$$

$$CS_1 = D_1 \bar{A}_9 = \overline{\overline{D}_1 \bar{A}_9} = \overline{\overline{D}_1 + A_9}$$

$$CS_2 = D_2 \bar{A}_9 = \overline{\overline{D}_2 \bar{A}_9} = \overline{\overline{D}_2 + A_9}$$

$$CS_3 = D_3 \bar{A}_9 = \overline{\overline{D}_3 \bar{A}_9} = \overline{\overline{D}_3 + A_9}$$

Odgovarajuća šema prikazana je na slici 9.5c.



Slika 9.5c

d) U ovom slučaju je izraze za CS priključke memorijskih čipova potrebno zapisati u obliku koji je pogodan za realizaciju pomoći NI kola. Pošto su ovi izrazi već u obliku logičkih proizvoda, samo ih je potrebno dva puta komplementirati:

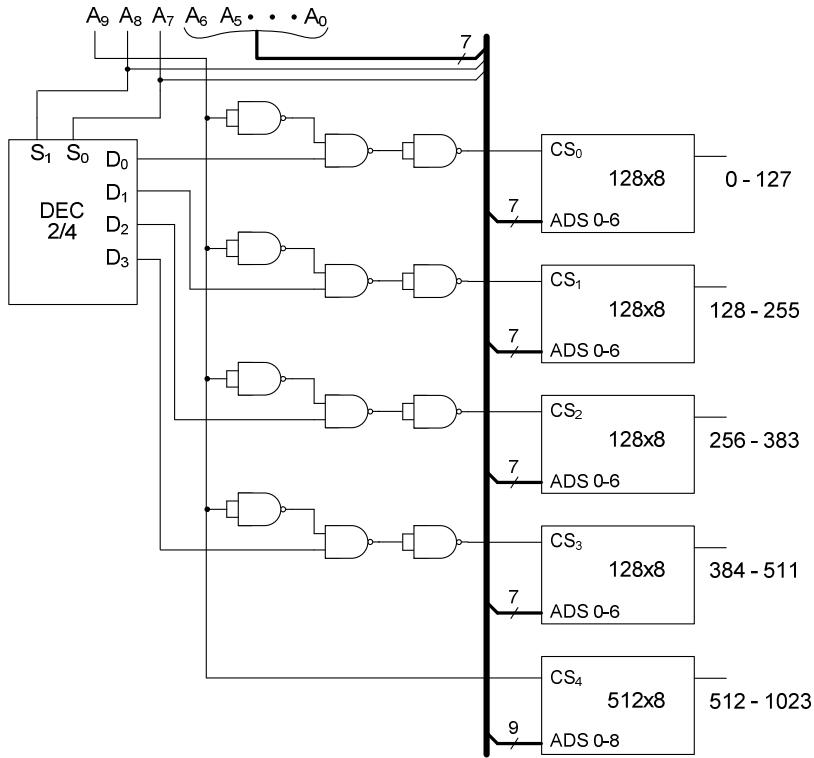
$$CS_0 = D_0 \bar{A}_9 = \overline{\overline{D}_0} \overline{\bar{A}_9}$$

$$CS_1 = D_1 \bar{A}_9 = \overline{\overline{D}_1} \overline{\bar{A}_9}$$

$$CS_2 = D_2 \bar{A}_9 = \overline{\overline{D}_2} \overline{\bar{A}_9}$$

$$CS_3 = D_3 \bar{A}_9 = \overline{\overline{D}_3} \overline{\bar{A}_9}$$

Ovako zapisani izrazi se mogu direktno realizovati koristeći samo NI kola, kao što je prikazano na slici 9.5d.



Slika 5.9d

e) Memorija koju treba realizovati ima deset adresnih linija, a memorijski čipovi 128x8 imaju sedam adresnih priključaka. Očigledno je da postoje tri adresne linije na osnovu kojih treba realizovati funkcije CS priključaka memorijskih čipova, i to A_9 , A_8 i A_7 . Ove adresne linije se dovode na selekciione priključke dekodera 3/8 i to A_9 na S_2 , A_8 na S_1 i A_7 na S_0 . Na osnovu ovoga se formira pomoćna tabela 5.9e.

Tabela 5.9e

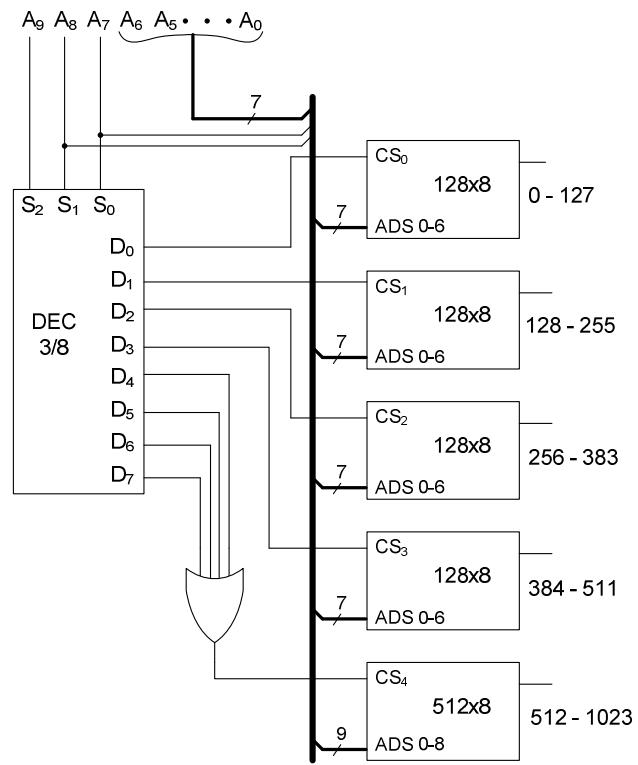
A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0	opseg
0	0	0	0	0	0	0	0	0	0	0-127
0	0	0	1	1	1	1	1	1	1	128-255
0	0	1	0	0	0	0	0	0	0	256-383
0	1	0	0	0	0	0	0	0	0	384-511
0	1	0	1	1	1	1	1	1	1	512-1023
0	1	1	0	0	0	0	0	0	0	
0	1	1	1	1	1	1	1	1	1	
1	0	0	0	0	0	0	0	0	0	
1	1	1	1	1	1	1	1	1	1	

Kod prvog čipa (opseg 0–127) sve tri adresne linije koje su dovedene na selekciione priključke dekodera imaju vrijednost logičke nule, a to odgovara izlazu dekodera D_0 . Znači da je $CS_0 = D_0$.

Kod drugog čipa (opseg 128–255) ove tri adresne linije imaju vrijednost $001_{(2)}$ a to odgovara izlazu dekodera D_1 . Znači da je $CS_1 = D_1$. Na sličan način se dobija da je $CS_2 = D_2$ i $CS_3 = D_3$.

Peti čip (opseg 512–1023) treba da radi kad su vrijednosti na adresnim linijama $A_9A_8A_7$ u opsegu od $100_{(2)}$ do $111_{(2)}$ tj. kad je aktivan neki od izlaza dekodera od D_4 do D_7 . Znači da je $CS_4 = D_4 + D_5 + D_6 + D_7$.

Odgovarajuća šema prikazana je na slici 5.9e.



Slika 5.9e